

10/766,954
Kenichi TAJIKA, et al.
August 13, 2004

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott Will & Emery LLP

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

2 0 0 3 年 9 月 5 日

CERTIFIED COPY OF
PRIORITY DOCUMENT

出 願 番 号
Application Number:

特願 2 0 0 3 - 3 1 3 9 1 7

[ST. 10/C]:

[J P 2 0 0 3 - 3 1 3 9 1 7]

願 人
Applicant(s):

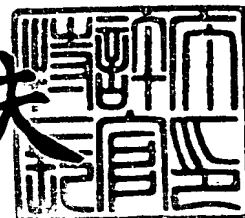
松下電器産業株式会社

BEST AVAILABLE COPY

2 0 0 4 年 1 月 1 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 0 7 8 5

【書類名】 特許願
【整理番号】 5037950044
【提出日】 平成15年 9月 5日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/82
H01L 21/88
【発明者】
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】 田鹿 健一
【発明者】
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】 朝重 浩喜
【発明者】
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】 伊藤 稔
【特許出願人】
【識別番号】 000005821
【氏名又は名称】 松下電器産業株式会社
【代理人】
【識別番号】 100105647
【弁理士】
【氏名又は名称】 小栗 昌平
【電話番号】 03-5561-3990
【選任した代理人】
【識別番号】 100105474
【弁理士】
【氏名又は名称】 本多 弘徳
【電話番号】 03-5561-3990
【選任した代理人】
【識別番号】 100108589
【弁理士】
【氏名又は名称】 市川 利光
【電話番号】 03-5561-3990
【選任した代理人】
【識別番号】 100115107
【弁理士】
【氏名又は名称】 高松 猛
【電話番号】 03-5561-3990
【選任した代理人】
【識別番号】 100090343
【弁理士】
【氏名又は名称】 栗宇 百合子
【電話番号】 03-5561-3990
【先の出願に基づく優先権主張】
【出願番号】 特願2003- 24093
【出願日】 平成15年 1月31日
【手数料の表示】
【予納台帳番号】 092740
【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【書類名】 特許請求の範囲**【請求項 1】**

半導体チップ内の各階層ブロックの回路設計条件に応じて、前記各階層ブロックの各ソースポイントからクロックに同期して動作するクロック入力回路までのクロック遅延の値を同期させるように、クロック遅延を調整する複数のソースポイントを設け、

前記ソースポイントにエリア端子を設置し、階層トップ上で、半導体チップのクロック入力端子と各エリア端子との間をクロック分配するように、クロックラインで接続し、前記各階層ブロック間のクロック遅延調整を行うようにしたことを特徴とする半導体集積回路装置のクロック遅延調整方法。

【請求項 2】

半導体チップのクロック入力端子とエリア端子との間の配線長が等しくなるように、前記各階層ブロックの少なくとも 1 つが複数のエリア端子を持つことを特徴とする請求項 1 に記載のクロック遅延調整方法。

【請求項 3】

前記エリア端子は、クロック入力専用の入力端子であることを特徴とする請求項 1 に記載のクロック遅延調整方法。

【請求項 4】

前記各階層ブロックの前記各ソースポイントの前記クロック遅延値のばらつきを補償する配線長となるように、前記半導体チップのクロック入力端子と各前記エリア端子との間を、クロック分配して接続するようにしたことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体集積回路装置のクロック遅延調整方法。

【請求項 5】

前記半導体チップのクロック入力端子から前記各階層ブロックの前記クロック入力専用のエリア端子までを等長配線による 1 チップの階層ブロック間のクロック遅延を調整した後で、ある階層ブロックの前記クロック入力専用のエリア端子から前記各クロック入力回路までのクロックライン上でクロック遅延値が同期目標とする値を満たしていない箇所が発生した場合、再度対象となるクロックライン上の箇所に前記遅延調整バッファ回路を挿入して、クロック遅延の調整を行い、1 チップの階層ブロック間のクロック遅延の同期をとることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体集積回路装置のクロック遅延調整方法。

【請求項 6】

半導体チップのクロック配線設計において、半導体チップ内の 1 個以上の階層ブロック上にクロック入力用のエリア端子を 1 箇所以上設け、階層トップ上で半導体チップのクロック入力端子と前記各クロック入力用のエリア端子との間を配線し、前記各エリア端子と前記クロック入力端子との遅延値の差を計算し、前記各階層ブロック内で前記遅延値の差を補償するように、前記各エリア端子から複数のクロック入力回路までのクロック遅延調整を行うようにしたことを特徴とする半導体集積回路装置のクロック遅延調整方法。

【請求項 7】

前記階層トップ上で半導体チップのクロック入力端子と前記各クロック入力用のエリア端子との間を総クロック配線長がほぼ最短になるように配線したことを特徴とする請求項 6 に記載のクロック遅延調整方法。

【請求項 8】

前記階層トップ上で半導体チップのクロック入力端子と前記各クロック入力用のエリア端子との間を最大クロック配線長がほぼ最短になるように配線したことを特徴とする請求項 6 に記載のクロック遅延調整方法。

【請求項 9】

前記階層トップのクロック入力端子からクロック遅延値の短いエリア端子では、階層ブロック内でクロック分配するクロック入力回路数を増加し、クロック入力端子からクロック遅延値の長いエリア端子では、階層ブロック内でクロック分配するクロック入力回路数を削減することにより、クロック遅延調整を行うことを特徴とする請求項 6 乃至 8 のいずれ

かに記載のクロック遅延調整方法。

【請求項 10】

前記クロックラインは、専用の配線層を用いて形成されることを特徴とする請求項 1 乃至 9 のいずれかに記載のクロック遅延調整方法。

【請求項 11】

前記クロック入力端子は、複数個のクロック入力端子で構成されており、1つの階層ブロックに複数のクロック入力端子からクロック入力となされるように構成された多系統クロックを構成していることを特徴とする請求項 1 乃至 10 のいずれかに記載の半導体集積回路装置のクロック遅延調整方法。

【請求項 12】

さらに階層トップ上のクロックラインの配線上において、階層ブロック内または階層ブロック間にリピーターバッファ回路を挿入して、クロック信号の波形なまりの抑制を行うようにしたことを特徴とする請求項 1 乃至 11 のいずれかに記載の半導体集積回路装置のクロック遅延調整方法。

【請求項 13】

前記階層ブロック内に、複数のクロック入力回路を備え、各クロック入力回路までのクロックラインにクロック制御回路を挿入するに際し、前記階層ブロック内のクロック制御回路と前記各クロック入力回路との間の前記クロックラインの前記クロック遅延の値を、遅延調整バッファ回路を使用して調整するようにしたことを特徴とする請求項 1 乃至 12 のいずれかに記載の半導体集積回路装置のクロック遅延調整方法。

【請求項 14】

前記エリア端子の設置位置を、フロアプラン修正後においても、前記フロアプランの修正前の前記クロックラインの配線経路が再利用できるように調整したことを特徴とする請求項 1 乃至 13 のいずれかに記載の半導体集積回路装置のクロック遅延調整方法。

【請求項 15】

前記請求項 1 乃至 14 のいずれかに記載の半導体集積回路装置のクロック遅延調整方法を用いた半導体集積回路装置。

【請求項 16】

前記階層ブロックの少なくともひとつが、複数のクロック入力専用のエリア端子を具備しており、クロックラインが前記エリア端子よりも上位層であるクロックライン専用の配線層で構成されていることを特徴とする請求項 15 に記載の半導体集積回路装置。

【書類名】明細書

【発明の名称】半導体集積回路装置

【技術分野】

【0001】

本発明は、半導体集積回路装置の設計方法および半導体集積回路装置に係り、特に半導体集積回路装置のレイアウト設計において、クロック入力端子と各階層ブロック内のフリップフロップ回路などのようにクロック信号で動作するクロック入力回路のクロック遅延値を合わすように調整する方法に関するものである。

【背景技術】

【0002】

従来、半導体集積回路装置のレイアウト設計における階層ブロック902、903、904、905間のクロック遅延を同期して調整する方法においては、図10に示すように、各階層ブロック902～905の外周にクロック入力端子907を形成している。そして、クロック入力端子907とクロック信号の供給元となる半導体チップのクロック入力端子900間は、クロック信号の到達時間を同期させるため、配線901の長さ（配線長）が等しくなるように、階層トップ上で配線するいわゆる等長配線により、クロックラインの配線をクロック分配して接続するという方法がとられている。このようにして、各階層ブロックまでのクロック遅延が同期するように調整している（例えば、特許文献1参照）。ここで906は半導体チップの外殻（バウンダリー）を示す。

【0003】

また、階層ブロック間の相互信号配線接続技術として、階層ブロック上に信号端子を形成してブロック間の相互信号を配線接続しているものがある（例えば、特許文献2参照）。

【特許文献1】特開平5-198674号公報（第1-4頁、第一図）

【特許文献2】特開平5-243380号公報（第1項、第二図）

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、前記従来の半導体集積回路装置のレイアウト設計における階層ブロック間のクロック遅延を同期させるように調整するクロック遅延調整方法は、階層ブロックの外周に形成されたクロック入力端子の1点以降で、階層ブロック内にある全てのフリップフロップ等のクロックに同期して動作する回路であるクロック入力回路のクロック端子までのクロック遅延を同期させるとともに、更に各階層ブロックごとのクロック遅延が同期されている条件で実施するものである。

【0005】

しかしながら、回路規模が大きくかつブロックサイズが大きい階層ブロックが半導体チップ上にある場合、階層ブロック内のクロック入力回路の配置位置はこの階層ブロックの回路条件に依存して密集あるいは分散するなど、多くの配置条件があるために、階層ブロックの外周に形成されたクロック入力端子の1点以降だけでクロック遅延を同期させることは困難である。更に、実際の半導体集積回路装置の開発において、現実には、このようなケースが多く、各階層ブロックのクロック遅延の同期をとることも非常に困難である。

【0006】

よって、この従来の方法は、階層トップ上で各階層ブロックのクロック入力端子-半導体チップのクロック入力端子間を等長配線により、クロック分配してクロックラインの配線接続を実施し、クロック信号の到達時間を同期させても、ブロック内のクロック遅延が同期していないブロックがあるために、半導体集積回路装置のクロック遅延を同期させるように調整することができないという問題があった。

【0007】

本発明は、前記実情に鑑みてなされたもので、複数の階層ブロックを有する半導体集積回路装置のレイアウト設計におけるクロック遅延の調整に際し、各階層ブロックにクロッ

ク入力用エリア端子を設け、各階層ブロック内のクロック遅延の同期を含めたタイミング制御と階層トップ上でのクロック遅延の同期を考慮したタイミング制御を行いクロック遅延を調整する方法を提供することを目的とする。

【0008】

また、各階層ブロック内のクロック遅延の同期を含めたタイミング制御と階層トップ上でのクロック遅延の同期を含めたタイミング制御とがなされ、クロック遅延が調整されるように構成された半導体集積回路装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

そこで本発明の方法では、半導体チップのクロック遅延の目標値を設定して、目標値に応じて、クロック遅延を調整するソースポイントを半導体チップのバウンダリー内の各階層ブロックの少なくとも1つに複数設けることができるようにし、このソースポイントから各階層ブロックへのクロック信号の供給がなされるようにし、階層ブロック内および階層トップ上での遅延調整を考慮するようにしたことを特徴とする。

【0010】

この時、ソースポイントを決定する条件としては、各階層ブロック内のクロック入力回路の配置位置などの回路の設計条件を考慮して、クロック遅延の目標値が達成できるように決定する。

【0011】

すなわち本発明の方法は、半導体チップ内の各階層ブロックの回路設計条件に応じて、前記各階層ブロックの各ソースポイントからクロックに同期して動作するクロック入力回路までのクロック遅延の値を同期させるように、クロック遅延を調整する複数のソースポイントを設け、前記ソースポイントにエリア端子を設置し、階層トップ上で、半導体チップのクロック入力端子と各エリア端子との間をクロック分配するように、クロックラインで接続し、前記各階層ブロック間のクロック遅延調整を行うようにしたことを特徴とする。

【0012】

この構成によれば、各階層ブロックの各ソースポイントからクロックに同期して動作するクロック入力回路までのクロック遅延の値を同期させるように、クロック遅延を調整する複数のソースポイントを設け、このソースポイントにエリア端子を設けてエリア端子から各クロック入力回路へのクロック供給がなされるように構成されるため、階層トップでは、クロック入力端子からエリア端子までのクロック遅延調整を行うことによって、容易に各クロック入力回路までのクロック遅延調整を達成することができる。

【0013】

また、本発明では、上記方法において、半導体チップのクロック入力端子とエリア端子との間の配線長が等しくなるように各階層ブロックの少なくとも1つが複数のエリア端子をもつようにしている。

【0014】

この構成により、クロック入力端子からエリア端子までを等長配線とすることにより、容易に各クロック入力回路までのクロック遅延調整を達成することができる。

【0015】

また、本発明の方法では、上記方法において、クロック遅延を調整するソースポイント上にクロック入力専用のエリア端子を設ける。このエリア端子はクロック専用で階層ブロック上に自由に位置が決定され、複数設けることができるようにしたことを特徴とする。

【0016】

各階層ブロックの各クロック入力用、望ましくは専用のエリア端子ごとに半導体チップのクロック遅延の目標に対して、それぞれクロック遅延を調整する。

【0017】

また、本発明の方法では、上記方法において、前記各階層ブロックの前記各ソースポイントの前記クロック遅延値のばらつきを補償する配線長となるように、前記半導体チップ

のクロック入力端子と各前記エリア端子との間を、クロック分配して接続する。

【0018】

すなわち調整が終了した時点で、階層のトップ上で配線層の上位層を使用して、半導体チップのクロック入力端子—各クロック入力用のエリア端子間を等長もしくは各エリア端子のクロック遅延のばらつきを考慮したクロック分配としたクロックラインとなるように配線接続する。上位層とは、当該配線層を形成する層よりも上層にある層をいうものとする。

【0019】

かかる構成によれば、半導体チップのバウンダリー内の階層ブロックに、それぞれ回路の設計条件に応じて、クロック遅延を調整するソースポイントを設けてクロック入力用のエリア端子とする。望ましくは専用のエリア端子とし、階層トップ上で半導体チップのクロック入力端子と各クロック入力専用のエリア端子との間をクロックの到達時間を考慮してクロック分配するように配線接続し、階層ブロック内のクロック遅延の同期と階層ブロック間のクロック遅延の同期が容易な条件をつくり、階層ブロック間のクロック遅延調整を実現することができる。

【0020】

また、本発明では、上記方法において、前記半導体チップのクロック入力端子から前記各階層ブロックの前記クロック入力専用のエリア端子までを等長配線による1チップの階層ブロック間のクロック遅延を調整した後で、ある階層ブロックの前記クロック入力専用のエリア端子から前記各クロック入力回路までのクロックライン上でクロック遅延値が同期目標とする値を満たしていない箇所が発生した場合、再度対象となるクロックライン上の箇所に前記遅延調整バッファ回路を挿入して、クロック遅延の調整を行い、1チップの階層ブロック間のクロック遅延の同期をとる。

【0021】

この方法により、作業性よく遅延調整を行うことができる。

【0022】

また、本発明では、上記方法において、半導体チップのクロック配線設計において、半導体チップ内の1個以上の階層ブロック上にクロック入力用のエリア端子を1箇所以上設け、階層トップ上で半導体チップのクロック入力端子と前記各クロック入力用のエリア端子との間を配線し、前記各エリア端子と前記クロック入力端子との遅延値の差を計算し、前記各階層ブロック内で前記遅延値の差を補償するように、前記各エリア端子から複数のクロック入力回路までのクロック遅延調整を行うようにする。

【0023】

この方法により、作業性よく遅延調整を行うことができる。

【0024】

また、本発明では、上記方法において、前記階層トップ上で半導体チップのクロック入力端子と前記各クロック入力用のエリア端子との間を総クロック配線長がほぼ最短になるように配線する。

【0025】

この方法により、遅延を低減し、高速化を実現することができる。

【0026】

また、本発明では、上記方法において、前記階層トップ上で半導体チップのクロック入力端子と前記各クロック入力用のエリア端子との間を最大クロック配線長がほぼ最短になるように配線する。

【0027】

この方法により、チップ全体としてのクロック遅延を低減し、高速化を実現することができる。

【0028】

また階層トップ上の半導体チップのクロック入力端子と各クロック入力用のエリア端子との間を、総クロック配線長がほぼ最短になるように、又は最大クロック配線長がほぼ最

短になるように配線し、各エリア端子とクロック入力端子との遅延値の差を計算し、各階層ブロック内で上記遅延値の差を補償するように各エリア端子から複数のフリップフロップ等のクロック入力回路までのクロック遅延調整を行う。各階層ブロック内では、クロック入力端子から近いエリア端子は、多くのクロック入力回路にクロック分配し、クロック入力端子から遠いエリア端子は、少ないクロック入力回路にクロック分配することにより、クロック遅延調整を行う。

【0029】

かかる構成によれば、クロック入力端子から各クロック入力回路までのクロック遅延値をチップ全体として最小にでき、クロックタイミング調整のためのクロック配線長の無駄も極力小さくすることが可能となる。

【0030】

また、本発明では、上記方法において、前記階層トップのクロック入力端子からクロック遅延値の短いエリア端子では、階層ブロック内でクロック分配するクロック入力回路数を増加し、クロック入力端子からクロック遅延値の長いエリア端子では、階層ブロック内でクロック分配するクロック入力回路数を削減することにより、クロック遅延調整を行う。

【0031】

この方法により、階層トップ上でのクロック配線によるクロック遅延値と階層ブロック内のクロック分配によるクロック遅延値との合計をそろえるようにすることができる。

【0032】

また、本発明では、上記方法において、前記クロックラインは、専用の配線層を用いて形成される。

【0033】

これにより、配線に自由度ができ、設計が容易となる。

【0034】

また、本発明では、上記方法において、前記クロック入力端子は、複数のクロック入力端子で構成されており、1つの階層ブロックに複数のクロック入力端子からクロック入力となされるように構成された多系統クロックを構成する。

【0035】

多系統クロックを用いる場合には、複数のエリア端子を用いて、クロック系統ごとに遅延調整をするようにしてもよい。また複数のエリア端子を異なるクロック系統で相互利用するようにしてもよい。

【0036】

また、本発明では、上記方法において、さらに階層トップ上のクロックラインの配線上において、階層ブロック内または階層ブロック間にリピータバッファ回路を挿入して、クロック信号の波形なまりの抑制を行うようにしたことを特徴とする。

【0037】

これにより、波形なまりの抑制をはかり、より信頼性の高い半導体集積回路を提供することができる。

【0038】

また、本発明では、上記方法において、前記階層ブロック内に、複数のクロック入力回路を備え、各クロック入力回路までのクロックラインにクロック制御回路を挿入するに際し、前記階層ブロック内のクロック制御回路と前記各クロック入力回路との間の前記クロックラインの前記クロック遅延の値を、遅延調整バッファ回路を使用して調整するようにしている。

【0039】

これにより、前記階層ブロック内に置いて自由に前記クロック遅延値を調整することができるという効果がある。

【0040】

また、本発明では、上記方法において、前記エリア端子の設置位置を、フロアプラン修

正後においても、前記フロアプランの修正前の前記クロックラインの配線経路が再利用できるように調整する。

【0041】

これにより、より設計が容易となるという効果を奏効する。

【0042】

また本発明の半導体集積回路装置は上記調整方法によって遅延調整がなされて形成される。

【0043】

この半導体集積回路装置は、階層ブロックの少なくともひとつが、複数のクロック入力専用のエリア端子を具備しており、クロックラインが前記エリア端子よりも上位層であるクロックライン専用の配線層で構成されていることを特徴とする。

【0044】

かかる構成によれば、階層ブロック間および階層ブロック内で遅延調整のなされた半導体集積回路装置を提供することが可能となる。

【0045】

なお、本発明ではチップレイアウト的に、クロック入力端子の設けられている階層トップを第1階層目とし、この下に第2階層目としての階層ブロックが接続されるようにし、この階層ブロックごとにソースポイントとなるエリア端子を設けている。

【発明の効果】

【0046】

以上説明したように、本発明によれば、半導体チップ内の各階層ブロックの回路設計条件に応じて、前記各階層ブロックの各ソースポイントからクロックに同期して動作するクロック入力回路までのクロック遅延の値を同期させるように、クロック遅延を調整する複数のソースポイントを設け、前記ソースポイントにエリア端子を設置し、階層トップ上で、半導体チップのクロック入力端子と各エリア端子との間をクロック分配するように、クロックラインで接続し、前記各階層ブロック間のクロック遅延調整を行うようにしているため、階層ブロック内のエリア端子からクロック入力回路までのクロック遅延の同期を容易に実現することができる。

【0047】

望ましくは、階層トップ上で半導体のチップのクロック入力端子—各クロック入力専用のエリア端子間のクロックラインの配線を等長配線によりクロック分配して接続することで半導体集積回路装置の階層ブロック間のクロック遅延調整をすることができる。

【0048】

また、階層トップ上で、クロック入力端子と各クロック入力用エリア端子との間を総クロック配線長または最大クロック配線長がほぼ最短となるように配線し、階層ブロック内で遅延差を補償するようにクロック配線することで、クロック遅延値をチップ全体として最小にでき、クロック配線長を最適化することができる。

【0049】

またこのクロック分配における接続に際しては、配線層の上位層を用いるようにすれば、回路レイアウトの制限なしに効率よく回路設計を実現することができる。

【0050】

また本発明によれば、前記クロック入力専用のエリア端子の各ポイントで多少のクロック遅延のばらつきが生じて、階層トップ上で配線層の上位層などを活用して、クロック遅延のばらつきを考慮した配線長でクロックラインの配線の分配をすることにより半導体集積回路装置のクロック遅延調整をすることができる。

【0051】

従って、半導体集積回路装置の多系統クロックの階層ブロック間のクロック遅延調整をすることができる。

【0052】

本発明によれば、階層トップ上のクロックラインの配線上に、配線をまたぐ階層ブロッ

ク内または間にクロックラインのリピーターバッファ回路を挿入することにより、波形なまりを対策して、半導体集積回路装置のクロック遅延調整をすることができる。

【0053】

本発明によれば、階層ブロック内のフリップフロップ回路までのクロックライン上にクロック制御回路が挿入されている場合でも、階層ブロック上でクロックラインでクロック制御回路の入力前にクロック入力専用のエリア端子を設置し、更に階層ブロック内のクロック制御のゲート回路ー各フリップフロップ回路間のクロック遅延をクロックラインの遅延調整バッファ回路を使用して調整し、階層トップ上ではリピーターバッファ回路を用いて調整することにより、半導体集積回路装置のクロック遅延調整をすることができる。

【0054】

本発明によれば、半導体集積回路装置内のある階層ブロックにフロアプラン修正が生じても、フロアプラン修正を行う階層ブロックでクロック遅延調整をするソースポイントを決定する時に、フロアプラン修正前のクロックラインの配線経路にクロック入力専用のエリア端子が接続できる位置に決定すれば、そのまま修正前のクロックラインの配線経路を利用することができる。

【0055】

本発明によれば、1チップの階層ブロック間のクロック遅延調整した後で、クロック遅延の同期がとれていない階層ブロックが存在しても、対象となる階層ブロックに再度クロックツリーシンセシス(CTS)法などで遅延調整バッファ回路を挿入して、クロック遅延して、1チップの階層ブロック間のクロック遅延の同期をとることにより、半導体集積回路装置のクロック遅延調整を行うことができる。

【0056】

本発明によれば、本発明の効果を利用した半導体集積回路装置を実現することができる。

【発明を実施するための最良の形態】

【0057】

以下、本発明の実施形態について図面を参照しつつ詳細に説明する。

【0058】

(実施の形態1)

本実施の形態は、半導体集積回路装置における階層ブロック間のクロック遅延が同期するようにした条件で、階層トップ上でクロック遅延を調整する方法において以下のような手順で、回路設計がなされる。

【0059】

1. 半導体チップのバウンダリー内の階層ブロックに、回路設計の条件に応じて、クロック遅延を調整する細かいソースポイントを設ける。

【0060】

2. 前記ソースポイントをクロック入力専用のエリア端子とする。

【0061】

3. 階層トップ上で半導体のチップのクロック入力端子と各クロック入力専用のエリア端子との間のクロックラインの配線を配線層の上位層を用いて、等長配線によりクロック分配して接続する。

【0062】

この方法によれば、階層ブロック間のクロック遅延の同期を実現した上で、階層トップ上で等長配線によるクロックラインの配線の分配を行い、クロック遅延調整を行う。

【0063】

図1に本発明の実施の形態1に係わる等長配線のクロック分配配線による階層ブロック間のクロック遅延を調整する方法を示す。図1において、半導体チップのバウンダリー106内の階層ブロックA102、階層ブロックB103、階層ブロックC104、階層ブロックD105上に、回路設計の条件に応じ、クロック遅延を調整するソースポイントとなるクロック入力専用のエリア端子を複数設ける。各階層ブロック102、103、10

4、105はそれぞれ1乃至3個のエリア端子を具備している。階層ブロック102は2個のエリア端子102T1、102T2、階層ブロック104は3個のエリア端子104T1、104T2、104T3、階層ブロック105は1個のエリア端子105Tを具備している。各エリア端子は、各階層ブロック102、103、104、105までのクロック遅延を同期させ、半導体チップのクロック入力端子100から各エリア端子102T1～105Tまでのクロック到達時間を考慮して等長経路を見積もり、階層トップ上の配線層の上位層を用いて、クロックラインの配線101を接続する。

【0064】

このように、本実施の形態1によれば、クロック遅延を調整するソースポイントとなるクロック入力専用のエリア端子を各階層ブロックに複数設けることにより、階層ブロックのクロック遅延の同期条件を容易に実現可能である。そして、階層トップ上で配線層の上位層を用いて、等長配線によるクロックラインの配線の分配をすることにより半導体集積回路装置のクロック遅延調整を行うことができる。

【0065】

ここでクロック端子101から各エリア端子102T1～105Tまでのクロック到達時間を考慮して等長経路を見積もり、クロックラインの配線101を形成するに際しては、上位層を用いることにより、レイアウトの制限なしに配線設計を行うことができる。

【0066】

このようにして全てのソースポイントのクロック遅延の値を同期させることができる。

【0067】

なお前記実施の形態ではクロックラインの配線101を上位層で形成したが、かならずしも上位層で形成しなければならないわけではなく、適宜調整可能である。

【0068】

(実施の形態2)

次に、本発明の実施の形態2について説明する。

【0069】

本実施の形態では、半導体集積回路装置における階層ブロック間のクロック遅延にばらつきがある場合に、階層トップ上でクロック遅延を調整する方法においては以下のような手順で、回路設計がなされる。

【0070】

1. 前記本発明の実施の形態1に記載の1、2の手法
2. 階層トップ上で半導体のチップのクロック入力端子ー各クロック入力専用のエリア端子間のクロックラインの配線を配線層の上位層を用いて、各階層ブロックのクロック入力専用のエリア端子間までのクロック遅延のばらつきを考慮した配線長でクロック分配して接続するという手法を用いる。

【0071】

この方法によれば、各階層ブロックのクロック入力専用のエリア端子までのクロック遅延にばらつきがあっても、階層トップ上で半導体のチップのクロック入力端子ー各クロック入力専用のエリア端子間のクロックラインの配線をばらつきに応じて配線長を調整して、分配することでクロック遅延調整を行うことができる。

【0072】

以下、本発明の実施形態2について図面を用いて説明する。

【0073】

図2に本発明の実施の形態2に係わるクロック遅延のばらつきを考慮したクロック分配配線による階層ブロック間のクロック遅延を調整する方法を示す。図2において、階層ブロック202と階層ブロック203に、それぞれクロック遅延を調整するソースポイントとしてクロック入力専用のエリア端子A204、クロック入力専用のエリア端子B205、クロック入力専用のエリア端子C206を設ける。この時、各階層ブロック202、203内の各エリア端子204、205、206までのクロック遅延の値の条件207は「エリア端子A>エリア端子B>エリア端子C」の順である。

【0074】

このクロック遅延のばらつきに応じて、階層トップ上で半導体チップのクロック入力端子200から204、205、206までのクロックラインの配線201の配線長を図2に条件207に示す関係を維持するように考慮したクロック配線長の条件208で「エリア端子A<エリア端子B<エリア端子C」の順にしてクロック分配の配線接続をする。

【0075】

このように、本実施の形態2より、クロック遅延を調整するソースポイントとなるクロック入力専用のエリア端子を各階層ブロックに複数設けて、各ポイントで多少のクロック遅延のばらつきが生じても、階層トップ上で配線層の上位層を活用して、クロック遅延のばらつきを考慮した配線長でクロックラインの配線の分配をすることにより半導体集積回路装置のクロック遅延調整を行うことができる。

【0076】

(実施の形態3)

次に、本発明の実施の形態3について説明する。

【0077】

本実施の形態では、半導体チップのクロック入力端子から各階層ブロック上のクロック入力用エリア端子までのクロック配線と各エリア端子から各フリップフロップ等のクロック入力回路のクロック分配を行い、階層トップ上でクロック入力端子と各エリア端子との間を、例えば、総クロック配線長がほぼ最短か、又は最大クロック配線長がほぼ最短になるように配線し、各エリア端子とクロック入力端子との遅延値の差を計算し、各階層ブロック内で、上記遅延値の差を補償するように、各エリア端子から複数のクロック入力回路までのクロック遅延調整を行う。例えば、クロック入力端子から近いエリア端子は、階層ブロック内で多くのクロック入力回路にクロック分配することにより、大きなクロック遅延値を得る。また、クロック入力端子から遠いエリア端子は階層ブロック内で少ないクロック入力回路にクロック分配することにより、小さなクロック遅延値を得る。このようにして、階層トップ上でのクロック配線によるクロック遅延値と階層ブロック内のクロック分配によるクロック遅延値を合計したクロック遅延値を揃えるようにする。階層ブロック内でのクロック遅延調整が困難な場合は、階層トップ上でのクロック配線長の調整により合計のクロック遅延を調整することも有効な方法である。

以下本発明の実施の形態3について図面を用いて説明する。

図3に本発明の実施の形態3に係る等長配線のクロック分配配線を用いない階層ブロックのクロック遅延を調整する方法を示す。図3では、図1と同一の機能には同一の番号を用いることにする。図3において、階層トップ上でクロック入力端子と各エリア端子102T1、102T2、103T、104T1、104T2、104T3、105Tとの間の総クロック配線長をほぼ最短にするようにクロック配線されている。別の方法としては、最大クロック配線長をほぼ最短にするようにクロック配線することもできる。また、45度配線および任意角度の配線を利用するとさらに配線長やクロック遅延値を短くすることが可能である。この様にすると、クロック入力端子から各エリア端子までのクロック遅延値は異なるので、クロック配線の抵抗値および容量値、さらにエリア端子に付加される容量値等を考慮して、シミュレーションによりクロック入力端子から各エリア端子までの遅延値の差を計算する。そして、上記遅延値の差を補償するように、それぞれのエリア端子から各クロック入力回路までCTS等の手法を用いたり、各エリア端子からクロック分配するクロック入力回路数を調整したりする方法を用いて、クロック分配を行う。

【0078】

(実施の形態4)

本発明の実施の形態4は、半導体集積回路装置におけるクロック系統が複数存在する場合の階層ブロック間のクロック遅延を調整する方法クロック系統ごとに前記実施の形態1から3のいずれかを実施する手法を用いることを特徴とする。

【0079】

この方法によれば、クロック系統が複数存在する場合でも階層ブロック間のクロック遅延

延の調整ができる。

【0080】

以下、本発明の実施の形態4について図面を用いて説明する。

図4に本発明の実施の形態4に係る多系統クロックにおける階層ブロック間のクロック遅延を調整する方法を示す。図4において、階層ブロックA306と階層ブロックB307でクロック遅延を調整するソースポイントとして、クロック系統ごとにクロックラインAに属するエリア端子304とクロックラインBに属するエリア端子305を設ける。そして階層のトップ上で配線層の上位層を活用してクロック系統ごとに、半導体チップのクロック入力端子A300-304間をクロックラインAの配線301で前記本発明の実施の形態1または2を実施して接続するものである。同様に、半導体チップのクロック入力端子B303-305間をクロックラインBの配線302で前記本発明の実施の形態1から3のいずれかを実施して接続する。

【0081】

このように、本実施の形態4より、階層ブロック間で複数のクロック系統のクロック遅延の調整を行う際にも、本発明の実施の形態1から3のいずれかを利用して、各階層ブロックに複数のエリア端子を設けると共に、各エリア端子を複数のクロックラインからクロック供給を行うようにすることにより、半導体集積回路装置のクロック遅延調整が可能となる。

【0082】

(実施の形態5)

本発明の実施の形態5は、前記本発明の実施の形態1から4のいずれかの実施に際し階層トップのクロックラインの配線上でクロックの波形なまり対策を行う方法として、クロックラインの配線上に階層ブロック内または階層トップ上にリピーターバッファ回路を挿入したものである。

【0083】

この方法によれば、任意にクロックラインの配線上にリピーターバッファ回路を設けることで、本発明の実施の形態1から4のいずれかの実施においても、クロックの波形なまり対策ができる。

【0084】

以下、本発明の実施形態5について図面を用いて説明する。

【0085】

図5に本発明の実施の形態5に係わる階層ブロック間のクロックラインにおける波形なまりを対策する方法を示す。図5において、フロアプランから、半導体チップのバウンダリー408内で階層ブロックA402、階層ブロックB、階層ブロックC404、階層ブロックD405のクロック入力専用のエリア端子409と半導体チップのクロック入力端子400間のクロックラインの配線401経路に、それぞれ波形なまりが発生しやすい箇所を予測する。そして、フロアプランから状況に応じて、波形なまりが生じ易い箇所にリピーターバッファ回路を挿入する。

【0086】

そこで、予測した箇所に階層ブロック内のクロックラインのリピーターバッファ回路406または階層ブロック間のクロックラインのリピーターバッファ回路407を挿入して配線接続をする。

【0087】

このように、本実施の形態5より、本発明の実施の形態1から4のいずれにおいても、階層トップのクロックラインの配線上の波形なまり対策を行いつつ、半導体集積回路装置のクロック遅延調整を行うことができる。

【0088】

(実施の形態6)

本発明の実施の形態6は、階層ブロック内のフリップフロップ回路までのクロックライン上にクロック制御回路が挿入されている場合のクロック遅延を調整する方法において以

下のような手順で、回路設計がなされる。

【0089】

ここでは、まず

1. 階層ブロック内のクロックラインでクロック制御回路の入力前にクロック入力専用のエリア端子を設置する。そして
2. クロック制御のゲート回路以降で、各フリップフロップ回路のクロック遅延をクロックラインの遅延調整バッファ回路を使用して調整する。そして
3. 階層トップ上で前記本発明の実施の形態1から3のクロックラインの配線を分配した接続をする。

【0090】

この方法によれば、階層ブロック内のクロックラインにクロック制御のゲート回路が存在しても、階層トップ上で本発明の実施の形態1から4の実施によるクロック遅延調整が可能となる。

【0091】

以下、本発明の実施の形態6について図面を用いて説明する。

【0092】

図6に本発明の実施の形態6に係わる階層ブロック内の回路でクロックラインにゲート回路がある場合のクロック遅延を調整する方法を示す。図6において、階層ブロック501内のクロック信号を止める用途に使われる制御端子510を付属したクロック制御のゲート回路509の入力前のクロックラインの配線500上で、それぞれクロック入力専用のエリア端子A502、クロック入力専用のエリア端子B503、クロック入力専用のエリア端子C504、クロック入力専用のエリア端子D505を設ける。各502、503、504、505から509をはさむフリップフロップ回路506のフリップフロップ回路のクロック端子507までのクロック遅延の調整はゲート回路509とフリップフロップ回路506の間にクロックラインの遅延調整バッファ回路508を挿入して調整を行う。その後、前記本発明の実施の形態1、2、3の実施に応じて階層トップ上でクロックライン500の配線接続をする。

【0093】

このように、本実施の形態6より、階層ブロック内のクロックラインにクロック制御のゲート回路が存在しても、ゲート回路の入力の前にクロック入力専用のエリア端子を設置し、階層ブロック内のクロック遅延調整はゲート回路とフリップフロップ回路間にクロックラインの遅延調整バッファ回路を使用して調整する。また、階層トップ上では前記本発明の実施の形態1から4に応じて調整することにより、半導体集積回路装置のクロック遅延調整を行うことができる。

【0094】

(実施の形態7)

本発明の実施の形態7は、階層ブロックの回転の配置向き変更、サイズ変更、配置位置変更などのフロアプラン修正が起きた時、修正前の階層トップ上のクロックラインの配線経路を再利用する方法において以下のような手順で、回路設計がなされる。

【0095】

ここでは、フロアプラン修正する階層ブロックでクロック遅延調整をするソースポイントを決定する時に、フロアプラン修正前のクロックラインの配線経路にクロック入力専用のエリア端子が接続できる位置に決定してフロアプランを修正する。

【0096】

この方法によれば、階層ブロックのフロアプラン修正後もフロアプラン修正前のクロックラインの配線経路に接続できる位置にクロック入力専用のエリア端子を設けているのでクロックラインの配線経路を再利用することができる。

【0097】

以下、本発明の実施形態7について図面を用いて説明する。

【0098】

図7に本発明の実施の形態7に係わる階層ブロック間のクロック分配でH型配線した例を示す。また、図8に本発明の実施の形態7に係る階層ブロック間のH型のクロック分配配線経路を用いたフロアプラン修正に対応する方法を示す。図7において、階層ブロックA602、階層ブロックB603、階層ブロックC604、階層ブロックD605上のそれぞれのクロック入力専用のエリア端子と半導体チップのクロック入力端子600までがH型のクロックラインの配線601でクロック分配されて接続されている。

【0099】

この状態で、図8においてフロアプラン修正前のフロアプランの原型700を定義する。フロアプランの修正で、階層ブロックの回転による向き変更によるフロアプラン修正701、階層ブロックのサイズ変更によるフロアプラン修正702、階層ブロックの配置位置変更によるフロアプラン修正703が生じて、フロアプラン修正前の700の601経路に修正後の階層ブロックのクロック入力専用のエリア端子が接続できる位置にあれば、そのまま修正前の601経路を利用することができる。ことがわかる。

【0100】

このように、本実施の形態7より、階層ブロックのフロアプラン修正が起きても、フロアプラン修正する階層ブロックでクロック遅延調整をするソースポイントを決定する時に、フロアプラン修正前のクロックラインの配線経路にクロック入力専用のエリア端子が接続できる位置に決定すれば、修正前の配線経路をそのまま利用することができる。

【0101】

なお、前記実施の形態においては、クロック入力専用のエリア端子を用いたが、必ずしも専用でなくても良く、テスト端子としても使用することも可能であるが、配線接続などに制約を受けない場所に設置されているのが望ましい。

【0102】

また、クロックラインは、専用の配線層として、上位層に形成するのが、自由度が高い点で望ましいが、形成する層は上位層に限定されるものではなく、他の配線層の形成された層内に形成するようにしてもよい。

【0103】

(実施の形態8)

本発明の実施の形態8は、半導体チップのクロック入力端子から各階層ブロックのクロック入力専用のエリア端子までを等長配線による1チップの階層ブロック間のクロック遅延調整した後で、ある階層ブロックのクロック入力専用のエリア端子から各フリップフロップ回路のクロック端子までのクロックライン上でクロック遅延値が同期目標とする値を満たしていない箇所が発生した場合に、再度対象となるクロックライン上の箇所にクロックツリーシンセシス(CTS)法などで遅延調整バッファ回路を挿入して、クロック遅延を調整する。

【0104】

この方法によれば、1チップの階層ブロック間のクロック遅延調整した後で、クロック遅延の同期がとれていない階層ブロックに対して、再度クロックツリーシンセシス(CTS)法などで遅延調整バッファ回路を挿入して、クロック遅延を調整することにより、1チップの階層ブロック間のクロック遅延の同期が可能となる。

【0105】

以下、本発明の実施の形態8について図面を用いて説明する。

【0106】

図9に本発明の実施の形態8に係る再度クロック遅延調整を階層ブロックに施し1チップのクロック遅延を調整する方法を示す。図9において、階層ブロックのクロック遅延を調整する工程800、1チップの階層ブロック間のクロック遅延を調整する工程801を経て、ある階層ブロックでクロック遅延値の同期がずれる箇所が発生する工程802が発生した場合、再び階層ブロックのクロック遅延を調整する工程803で802工程のクロック遅延値の同期がずれる問題に対応する。

【0107】

このように、本実施の形態 8 より、1 チップの階層ブロック間のクロック遅延調整した後で、クロック遅延の同期がとれていない階層ブロックが存在しても、対象となる階層ブロックに再度クロックツリーシンセシス(CTS)法などで遅延調整バッファ回路を挿入して、クロック遅延して、1 チップの階層ブロック間のクロック遅延の同期をとることにより、半導体集積回路装置のクロック遅延調整を行うことができる。

【産業上の利用可能性】

【0108】

本発明は、種々の半導体集積回路の設計において適用可能であり、特にクロック遅延の問題となるような回路に有効であって各階層ブロックの回路設計条件に応じて、クロック遅延を調整する細かいソースポイントを検討して、そのポイントに階層ブロック上で自由に位置が決定されて、必要に応じて複数のクロック入力用のエリア端子を設けることにより、階層ブロック内のエリア端子からクロック入力回路までのクロック遅延の同期を容易に実現することができる。

【図面の簡単な説明】

【0109】

【図 1】 本発明の実施の形態 1 に係る等長配線のクロック分配配線による階層トップ上のクロック遅延を調整する方法を示す図である。

【図 2】 本発明の実施の形態 2 に係るクロック遅延のばらつきを考慮したクロック分配配線による階層トップ上のクロック遅延を調整する方法を示す図である。

【図 3】 本発明の実施の形態 3 に係るクロック分配配線による階層トップ上のクロック遅延を調整する方法を示す図である。

【図 4】 本発明の実施の形態 4 に係る多系統クロックにおける階層トップ上のクロック遅延を調整する方法を示す図である。

【図 5】 本発明の実施の形態 5 に係る階層トップ上のクロックラインにおける波形なまりを対策する方法を示す図である。

【図 6】 本発明の実施の形態 6 に係る階層ブロック内の回路でクロックラインにゲート回路がある場合のクロック遅延を調整する方法を示す図である。

【図 7】 本発明の実施の形態 7 に係る階層トップ上のクロック分配で H 型配線にした例を示す図である。

【図 8】 本発明の実施の形態 7 に係る階層トップ上の H 型のクロック分配配線経路を用いたフロアプラン修正に対応する方法を示す図である。

【図 9】 本発明の実施の形態 8 に係る再度クロック遅延調整を階層ブロックに施し 1 チップのクロック遅延を調整する方法を示す図である。

【図 10】 従来の等長配線のクロック分配配線による階層トップ上のクロック遅延を調整する方法を示す図である。

【符号の説明】

【0110】

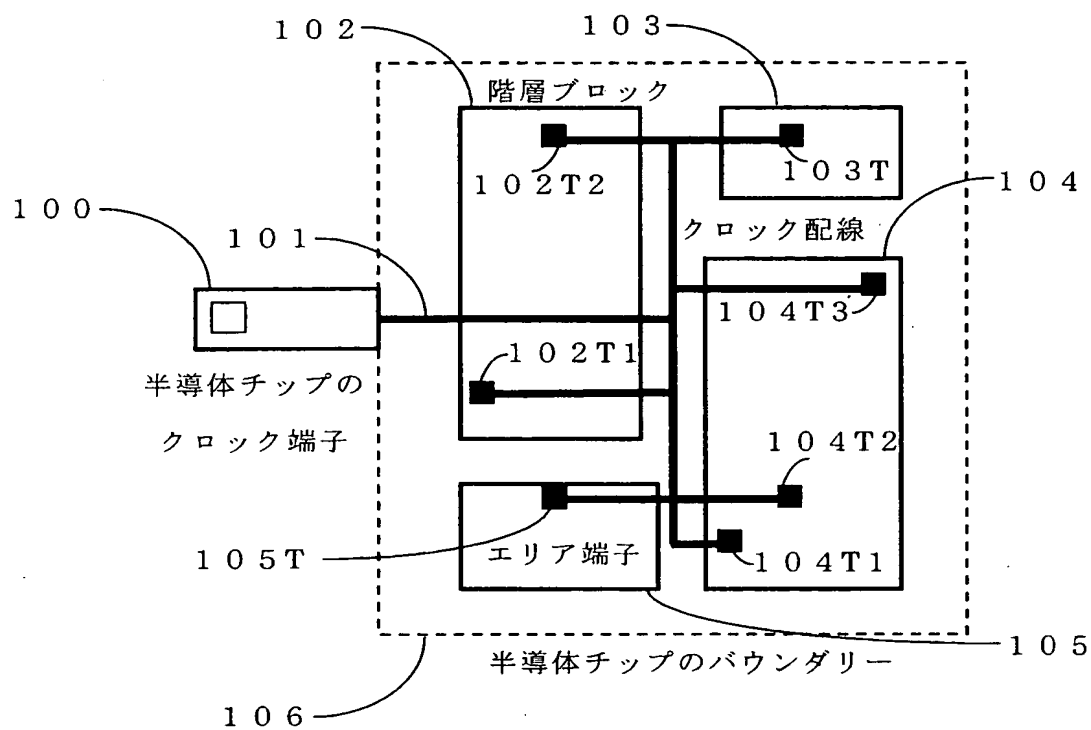
- 100 半導体チップのクロック入力端子
- 101 クロックラインの配線
- 102 階層ブロック
- 103 階層ブロック
- 104 階層ブロック
- 105 階層ブロック
- 106 半導体チップのバウンダリー
- 102T1、102T2、103T、104T1、104T2、104T3 ク
ロック入力専用のエリア端子
- 200 半導体チップのクロック入力端子
- 201 クロックラインの配線
- 202 階層ブロック
- 203 階層ブロック

- 2 0 4 クロック入力専用のエリア端子
- 2 0 5 クロック入力専用のエリア端子
- 2 0 6 クロック入力専用のエリア端子
- 2 0 7 クロック遅延値の条件
- 2 0 8 クロック配線長の条件
- 3 0 0 半導体チップのクロック入力端子 A
- 3 0 1 クロックライン A の配線
- 3 0 2 クロックライン B の配線
- 3 0 3 半導体チップのクロック入力端子 B
- 3 0 4 クロックライン A に属するエリア端子
- 3 0 5 クロックライン B に属するエリア端子
- 3 0 6 階層ブロック
- 3 0 7 階層ブロック
- 4 0 0 半導体チップのクロック入力端子
- 4 0 1 クロックラインの配線
- 4 0 2 階層ブロック
- 4 0 3 階層ブロック
- 4 0 4 階層ブロック
- 4 0 5 階層ブロック
- 4 0 6 階層ブロック内のクロックラインのリピーターバッファ回路
- 4 0 7 階層ブロック間のクロックラインのリピーターバッファ回路
- 4 0 8 半導体チップのバウンダリー
- 4 0 2 T 1、4 0 2 T 2、4 0 3 T、4 0 4 T 1、4 0 4 T 2、4 0 4 T 3 クロック入力専用のエリア端子
- 5 0 0 クロックラインの配線
- 5 0 1 階層ブロック
- 5 0 2 クロック入力専用のエリア端子
- 5 0 3 クロック入力専用のエリア端子
- 5 0 4 クロック入力専用のエリア端子
- 5 0 5 クロック入力専用のエリア端子
- 5 0 6 フリップフロップ回路
- 5 0 7 フリップフロップ回路のクロック端子
- 5 0 8 クロックラインの遅延調整バッファ回路
- 5 0 9 クロック制御のゲート回路
- 5 1 0 制御端子
- 6 0 0 半導体チップのクロック入力端子
- 6 0 1 H 型のクロックラインの配線
- 6 0 2 階層ブロック
- 6 0 3 階層ブロック
- 6 0 4 階層ブロック
- 6 0 5 階層ブロック
- 6 0 6 クロック入力専用のエリア端子
- 7 0 0 フロアプランの原型
- 7 0 1 階層ブロックの回転の配置向き変更によるフロアプラン修正
- 7 0 2 階層ブロックのサイズ変更によるフロアプラン修正
- 7 0 3 階層ブロックの配置位置変更によるフロアプラン修正
- 8 0 0 階層ブロックのクロック遅延を調整する工程
- 8 0 1 1 チップの階層ブロック間のクロック遅延を調整する工程
- 8 0 2 ある階層ブロックでクロック遅延値の同期がずれる箇所が発生する工程
- 8 0 3 再び階層ブロックのクロック遅延を調整する工程

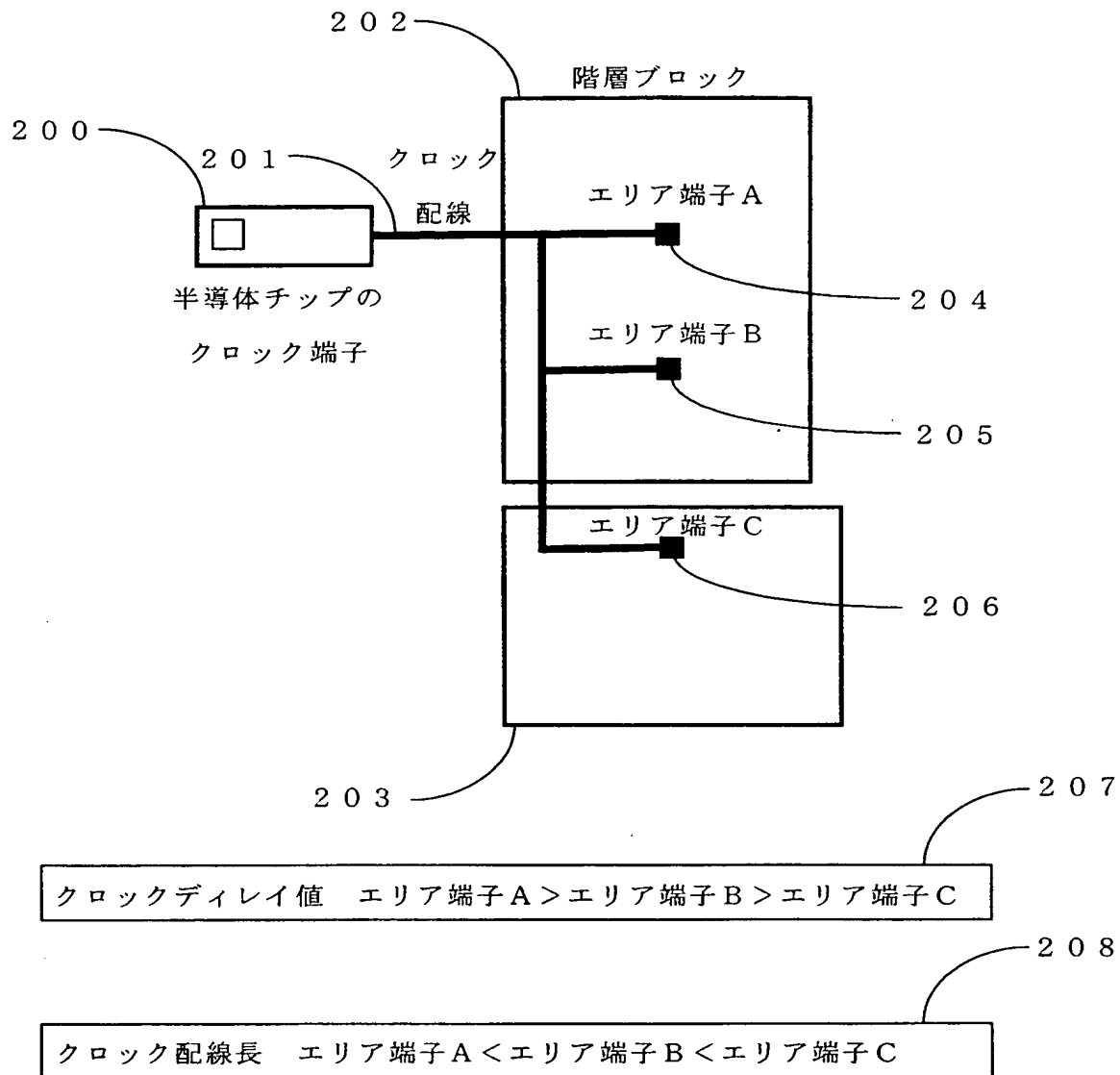
- 9 0 0 半導体チップのクロック入力端子
- 9 0 1 クロックラインの配線
- 9 0 2 階層ブロック
- 9 0 3 階層ブロック
- 9 0 4 階層ブロック
- 9 0 5 階層ブロック
- 9 0 6 半導体チップのバウンダリー
- 9 0 7 クロック入力端子

【書類名】 図面

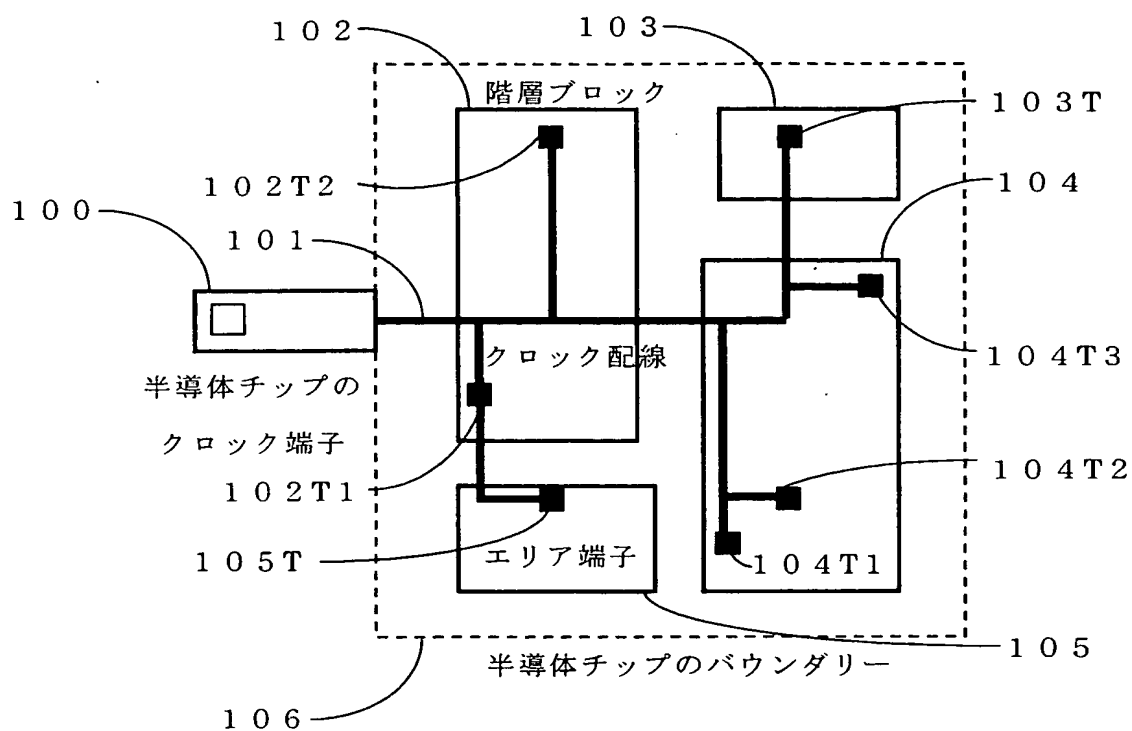
【図 1】



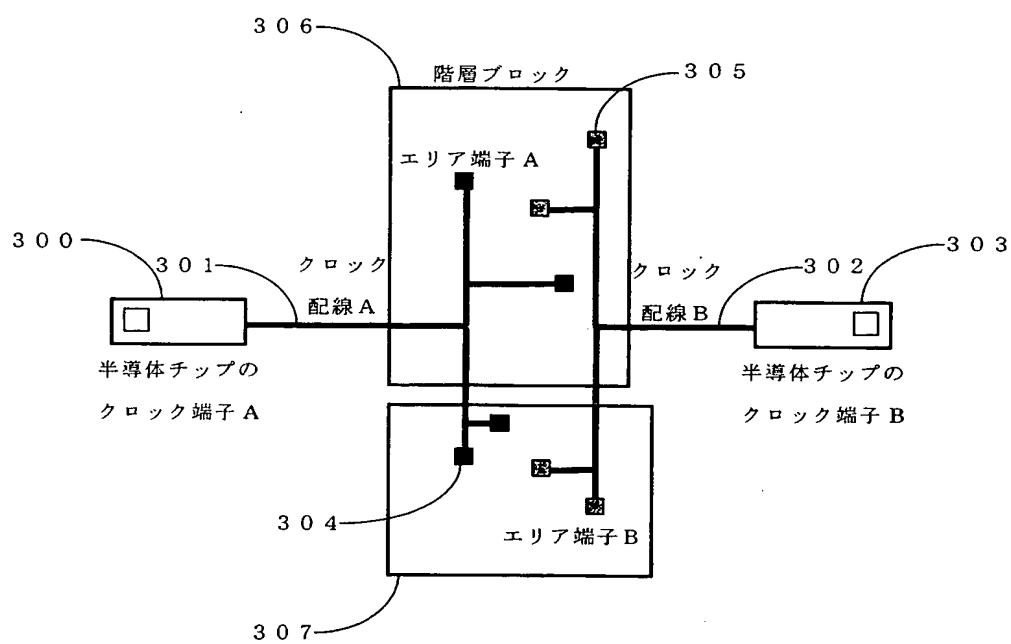
【図 2】



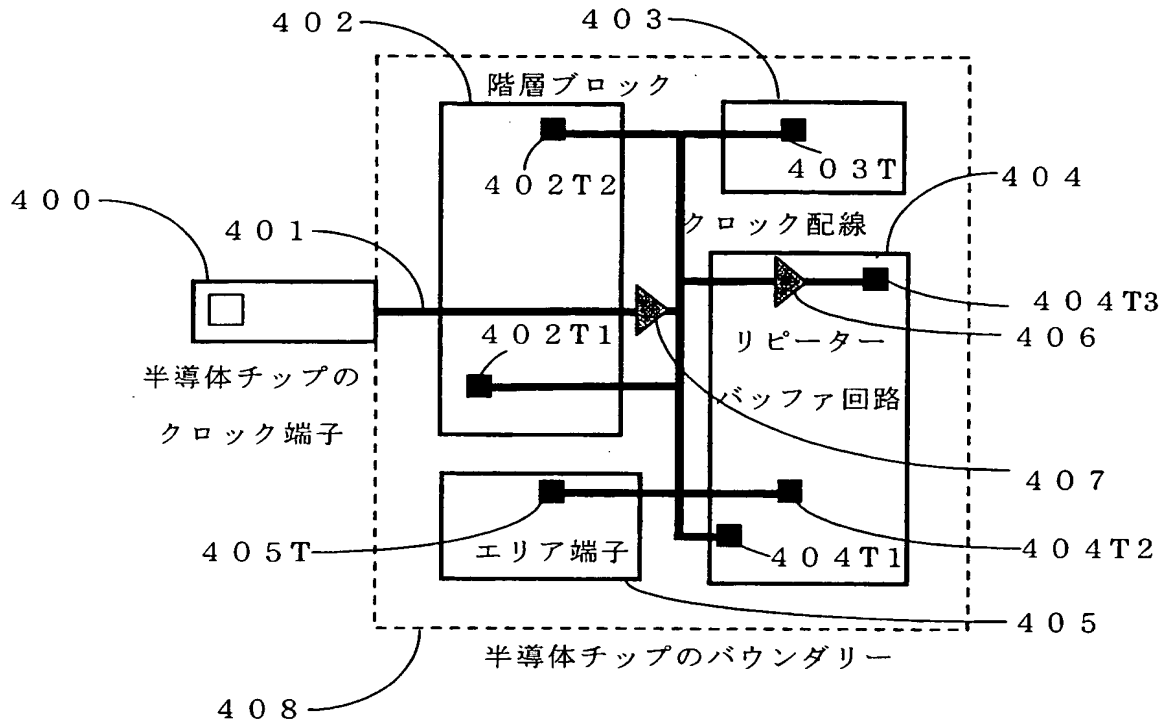
【図 3】



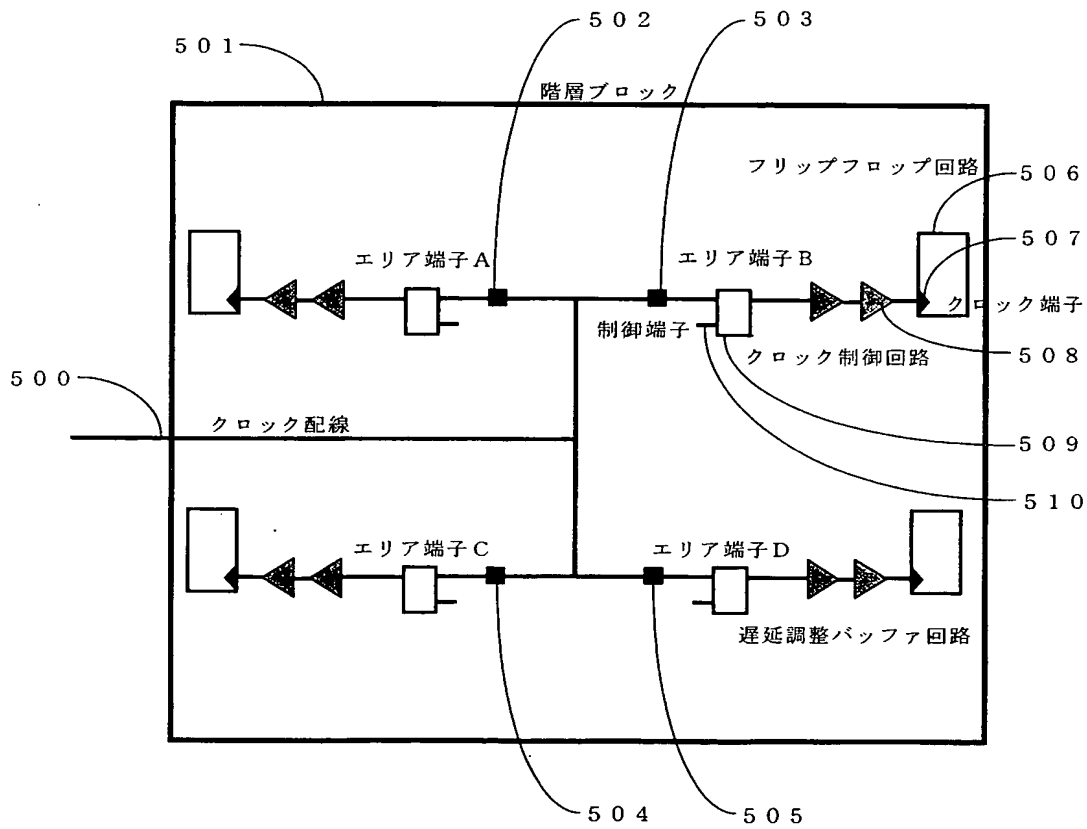
【図 4】



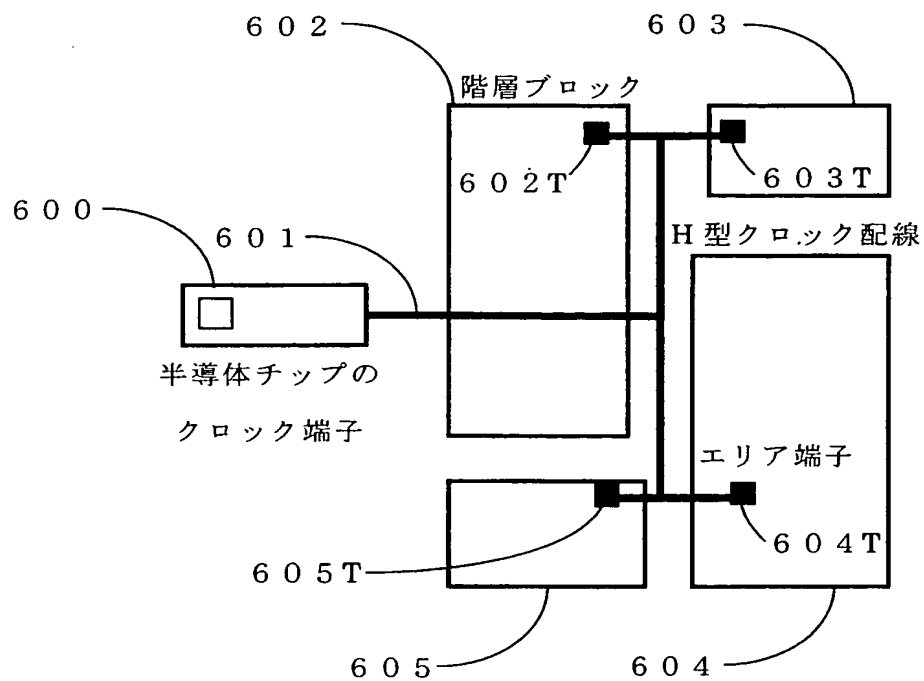
【図5】



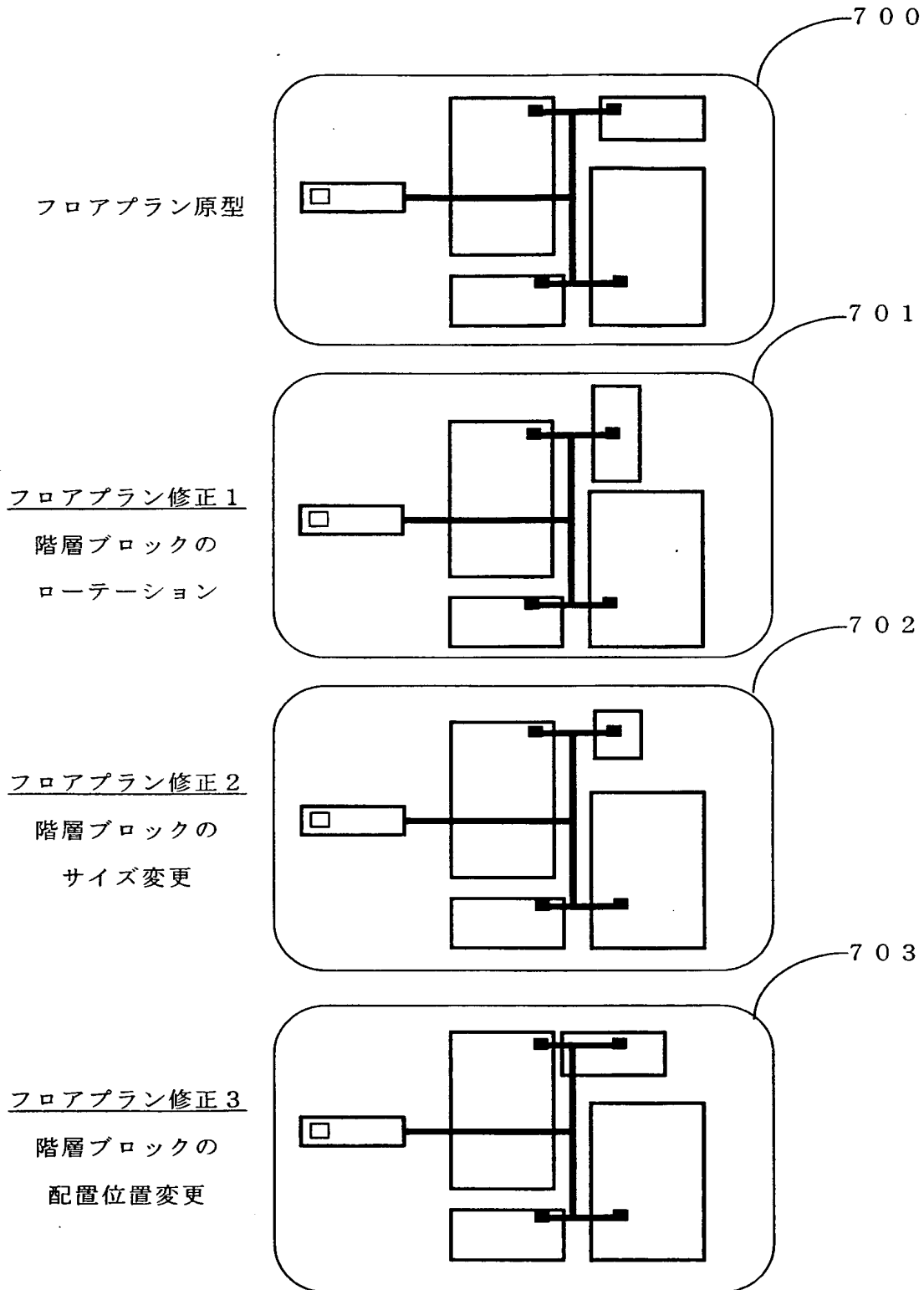
【図6】



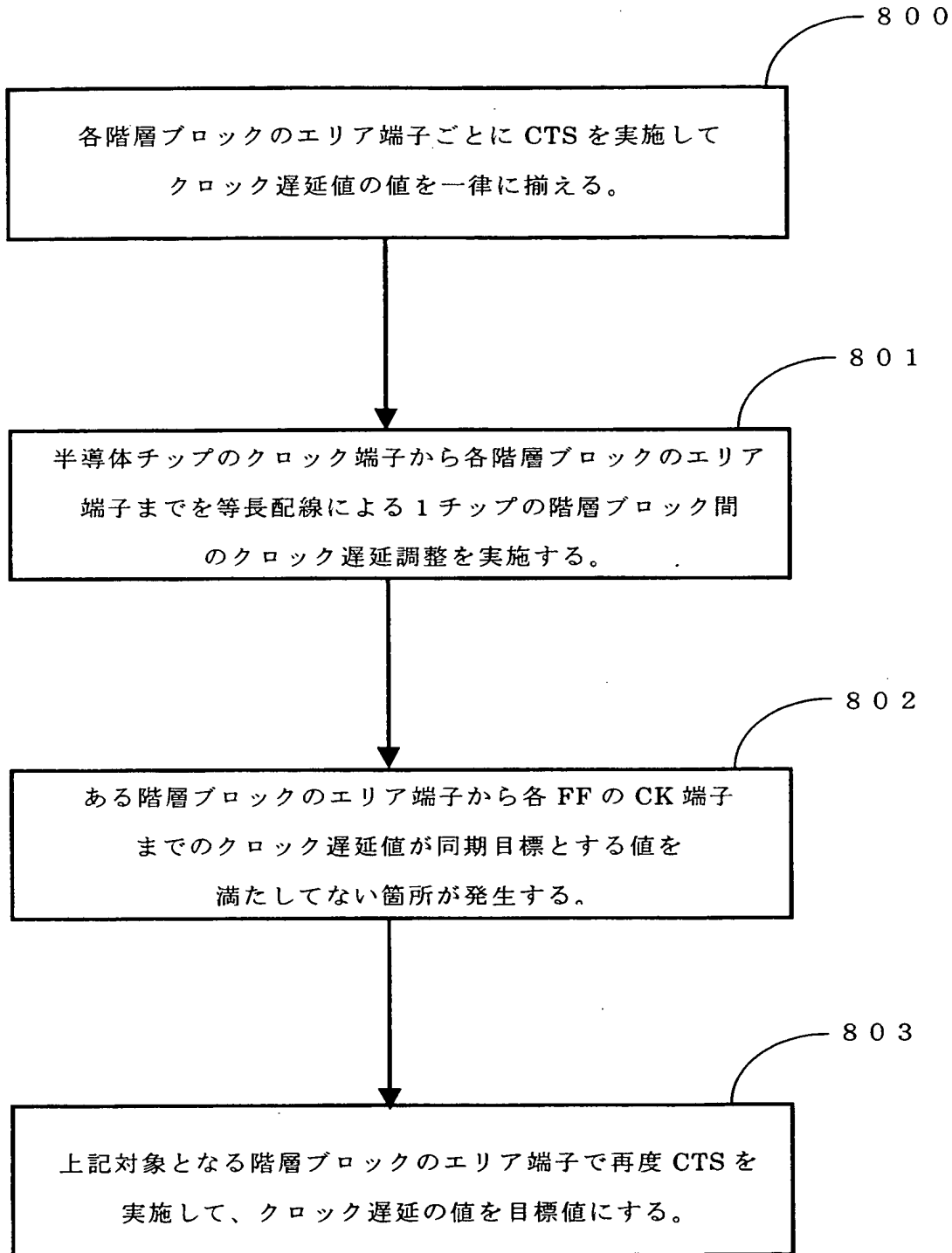
【図 7】



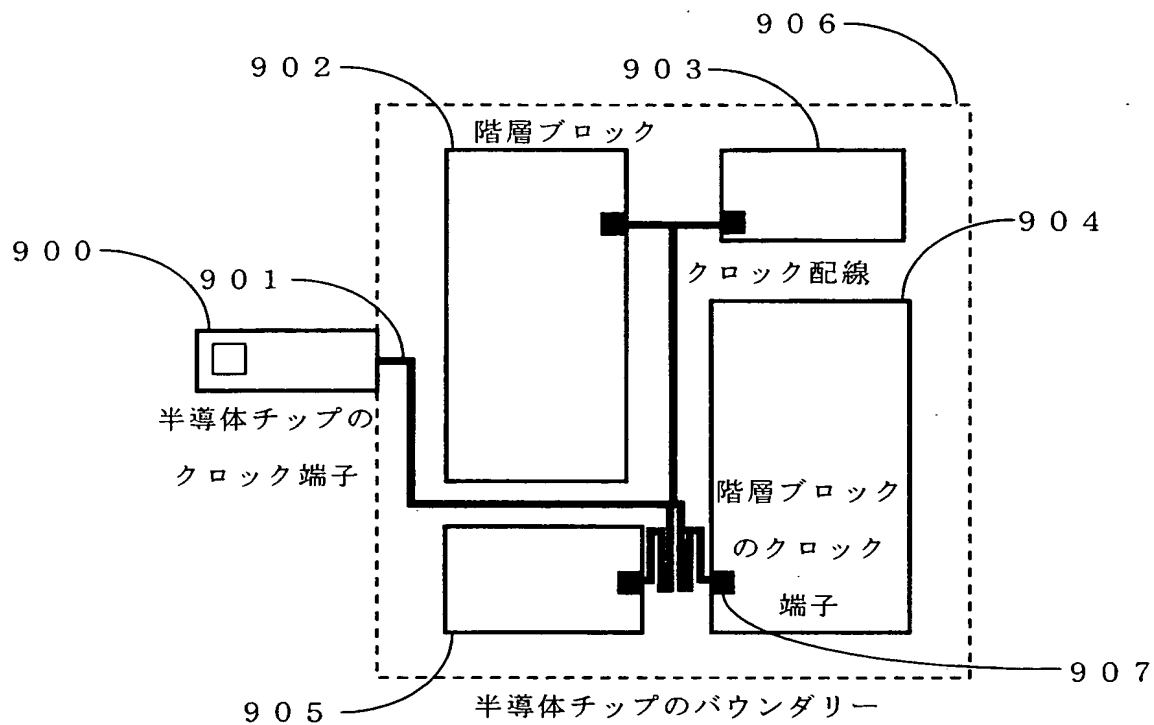
【図8】



【図 9】



【図10】



【書類名】 要約書

【要約】

【課題】 各階層ブロック内のクロック遅延の同期を含めたタイミング制御と階層トップ上でのクロック遅延の同期を考慮したタイミング制御を行いクロック遅延を調整する方法を提供する。

【解決手段】 半導体チップ内の各階層ブロックの回路設計条件に応じて、前記各階層ブロックの各ソースポイントからクロックに同期して動作するクロック入力回路までのクロック遅延の値を同期させるように、クロック遅延を調整する複数のソースポイントを設け、前記ソースポイントにエリア端子を設置し、階層トップ上で、半導体チップのクロック入力端子と各エリア端子との間をクロック分配するように、クロックラインで接続し、前記各階層ブロック間のクロック遅延調整を行うようにしたことを特徴とする。

【選択図】 図 1

特願 2 0 0 3 - 3 1 3 9 1 7

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社